

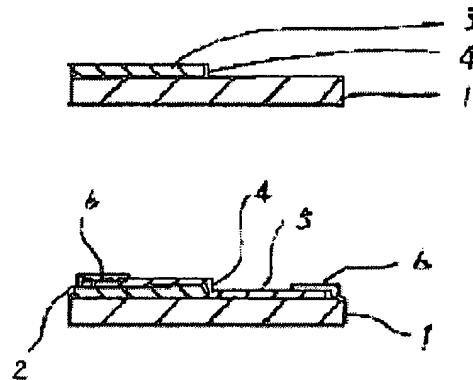
MANUFACTURE OF STEPPED JOSEPHSON ELEMENT

Patent number: JP6085337
Publication date: 1994-03-25
Inventor: ISHII TAKASHI; others: 05
Applicant: FUJI ELECTRIC CO LTD
Classification:
- **international:** H01L39/24; H01L39/22
- **european:**
Application number: JP19920233975 19920902
Priority number(s):

Abstract of JP6085337

PURPOSE: To form a step at a sharp angle with a residual sputter film on a substrate by forming the sputter film of the material different from the material of a substrate and besides capable of being used independently as a substrate, on one main surface of the substrate, and etching only the upper film after patterning.

CONSTITUTION: A film of the material different from that of a substrate 1 is made on the substrate 1 by sputtering. The material of the film formed by sputtering is a material capable of being used alone as a substrate. Next, a photoresist 3 is applied to the sputter film 2, and after drying, it is patterned, and next, the part not masked by the photoresist 3 is etched. Next, the photoresist 3 is etched off. Next, an oxide superconductive film 5 of YBCO is formed on the stepped substrate 1 by RF magnetron sputter method. Subsequently, the YBCO film 5 is finely processed into a bridge pattern by photolithography pattern method, and further an Au electrode is formed.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-85337

(13)公開日 平成6年(1994)3月25日

(51)Int.Cl.⁶
H 01 L 39/24
39/22識別記号 庁内整理番号
Z A A J 9276-4M
Z A A A 9276-4M

F I

技術表示箇所

審査請求 未請求 請求項の数5(全6頁)

(21)出願番号	特願平4-233975
(22)出願日	平成4年(1992)9月2日

(71)出願人 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田1番1号
(72)発明者 石井 孝志
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(72)発明者 松井 俊之
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(72)発明者 鈴木 健
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(74)代理人 弁理士 山口 嶽

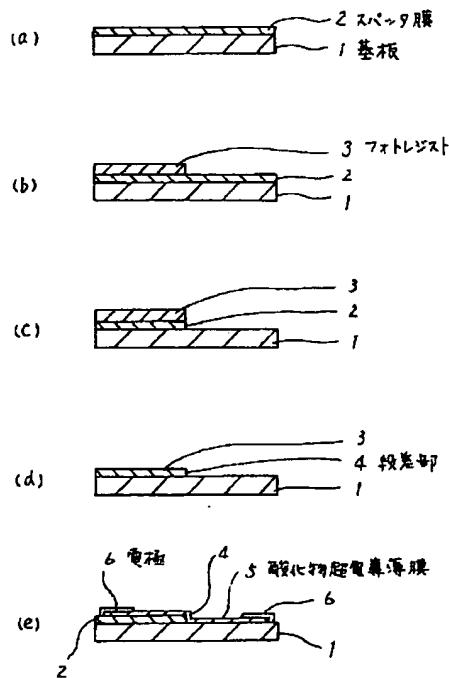
最終頁に続く

(54)【発明の名称】 段差型ジョセフソン素子の製造方法

(57)【要約】

【目的】基板上の任意の位置に、所望の形状を持つ段差を簡単な方法で形成する。

【構成】基板上にこの基板とは異なる基板材料のスパッタ膜を形成し、フォトレジストを塗布乾燥した後、所望の形状にパターニングし、さらにスパッタ膜の不要部分を選択エッチング除去した後、フォトレジストを除去してスパッタ膜による段差を有する基板上に、超電導薄膜を形成するものであり、このように互いに異なる二つの基板材料の組み合わせと選択エッチング法を利用して、スパッタ膜による急角度の段差を持つ基板を作製し、その上に超電導体の薄膜を形成するものであるから、製造方法が極めて簡単である上に、基板表面の任意の個所に所望の形状を持つ段差を精度よく容易に形成することができる。



(2)

特開平6-85337

1

2

【特許請求の範囲】

【請求項1】基板上の一主面にこの基板とは異なる基板材料のスパッタ膜を形成し、次いでフォトレジストを塗布乾燥した後所望の形状にバーニングし、さらにスパッタ膜のみエッチング可能なエッチング液を用いてスパッタ膜の不要部分を選択エッチング除去した後、フォトレジストを除去して残余のスパッタ膜による段差を有する基板上に、超電導薄膜を形成することを特徴とする段差型ジョセフソン素子の製造方法。

【請求項2】請求項1記載の方法において、基板はSrTiO₃ [(100) または (110)]、スパッタ膜はMgOであることを特徴とする段差型ジョセフソン素子の製造方法。

【請求項3】請求項1記載の方法において、基板はMgO [(100) または (110)]、スパッタ膜はSrTiO₃であることを特徴とする段差型ジョセフソン素子の製造方法。

【請求項4】請求項1ないし3記載の方法において、超電導薄膜はLnBa₂Cu₃O_y (LnはY, La, Sm, Eu, Gd, Dy, Ho, Er, Tm, Yb, Luの少なくとも一つ、yは超電導体に含まれる酸素量)であることを特徴とする段差型ジョセフソン素子の製造方法。

【請求項5】請求項1ないし3記載の方法において、超電導薄膜はBi-Sr-Ca-Cu-O系の2212相または2223相であることを特徴とする段差型ジョセフソン素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は段差型ジョセフソン素子の製造方法に関する。

【0002】

【従来の技術】超電導体を使用したジョセフソン素子を形成するジョセフソン接合の形は、大別してトンネル接合型、ブリッジ型、点接触型などがあるが、トンネル接合型を除いてこれらに共通する点は、電極間に弱い超電導結合があることである。これを総称して弱結合 (weak link) と呼んでいる。

【0003】ところで、近年、弱結合型として段差を利用したジョセフソン素子が多く研究されている。これは

基板上に段差を付け、その上に超電導膜を形成することにより、段差部分が弱結合となり、ジョセフソン素子を得るものである。この段差型ジョセフソン素子の基板上に段差を形成する方法は、例えば、単結晶MgOの基板の劈開部分を利用する方法、または、フォトレジストやNbをマスクとして、MgO基板上にバーニングし、Arイオンミリング装置や反応性イオンエッチング (RIE) 装置などを用いて、ドライエッチングによりMgO基板をエッチングする方法や、もしくは湿式エッチングによってMgO基板をエッチングする方法などが一般

10

20

30

40

に知られている。

【0004】

【発明が解決しようとする課題】しかし、上記のジョセフソン素子の基板上に段差を形成する方法は、次のような問題がある。MgO単結晶基板の劈開部分を利用する方法は、段差を形成する場所や段差形状を任意に制御することができない。また、フォトレジストやNbをマスクとして、MgO基板をドライエッチングする方法は、フォトレジストの選択やミリング条件、もしくはRIEのエッチング条件の設定などに、多くの予備実験による検討が必要になる。フォトレジストやNbなどのマスクを用いるとき、条件設定を適切にしないと所望の段差形状が得られないのは、ミリングやRIEによるエッチングの際、フォトレジストやNbなどのマスク材料も同時にエッチングされるので、段差の形状が2段形状になるとか、段差角度を数度～十数度しか形成することができないなどの不都合が生ずるからである。

【0005】一方、湿式エッチングする方法は、一般に等方性エッチングであるから、マスク材の下側がエッチングされるアンダーエッチングを起こし、寸法維持が困難になるとともに、段差角度も数度程度の角度しか得られないなどの難点がある。現在のところ、ドライエッチングや湿式エッチングで大きな段差角度は得られないが、この段差角度は、45°以上でなければ、ジョセフソン接合を得ることができない。

【0006】本発明は上述の点に鑑みてなされたものであり、その目的は、段差型ジョセフソン素子を製造するに当たり、基板上の任意の位置に、所望の形状を持つ段差を、湿式エッチング法により比較的簡単に形成する方法を提供することにある。

【0007】

【課題を解決するための手段】上記の課題を解決するために、本発明の段差型ジョセフソン素子の製造方法は、基板上の一主面にこの基板とは異なる基板材料のスパッタ膜を形成し、次いでフォトレジストを塗布乾燥した後所望の形状にバーニングし、さらにスパッタ膜のみエッチング可能なエッチング液を用いて、スパッタ膜の不要部分を選択エッチング除去した後、フォトレジストを除去してスパッタ膜による段差を有する基板上に、超電導薄膜を形成するものである。

【0008】

【作用】本発明の方法は上記のように、基板上の一主面に、この基板材料とは異なり、しかも基板単独としても使用可能な材料のスパッタ膜を形成してバーニングした後、スパッタ膜のみエッチングする選択エッチングを行なうことにより、基板上には残余のスパッタ膜により急角度の段差が形成される。この段差は上記のように極めて簡単な方法で形成され、基板表面の任意の個所に精度よく容易に形成することができる。

【0009】

(3)

特開平6-85337

3

4

【実施例】以下、本発明を実施例に基づき説明する。図1 (a) ~ (e) は、ジョセフソン素子の段差を形成する本発明の方法における工程図を示すものである。まず、基板1上に基板1とは異なる材料の薄膜を所望の厚さにスパッタ形成する。スパッタ形成する膜は、それ自身単独に基板として使用可能な材料を用いる。ここでは、SrTiO₃ 基板 [(100) または (110)] 1上に、RFマグネットロンスパッタ法により、MgOのスパッタ膜2を約2000Åの厚さに成膜する例を示す。基板1の括弧内表示は結晶方位を表わす。スパッタ条件は、基板温度650°C, ArとO₂の混合ガスを用い、そのガス圧力を1.0Paとする [図1 (a)]。

【0010】次に、このスパッタ膜2の上に、例えば東京応化工業社製の商品名OPR-800などのフォトレジスト3を塗布乾燥後、これを所望の形状にパターニングする。ポストペーク温度は150°Cである [図1 (b)]。次いで、フォトレジスト3によりマスキングされていない部分を、5%リン酸(H₃PO₄)エッティング液を用い、エッティング液温度90°C、エッティング時間数秒のエッティングを行なう。その結果、MgOのスパッタ膜2のみエッティングされ、SrTiO₃基板1はエッティングされない選択エッティングが行なわれ、スパッタ膜2の不要な部分のみが除去される。この選択エッティングは、上記のように基板1を溶解させることなく、スパッタ膜2だけを溶解させるエッティング液を使用して行なうエッティング方法である [図1 (c)]。

【0011】次の工程では、フォトレジスト3を反応性イオンエッティング(RIE)装置により剥離エッティングする。エッティング条件は、RF出力40W、エッティング時間10分、使用ガスはO₂、ガス圧力は0.1Torrである。その結果、基板1上に、スパッタ膜2がパターニングされた状態で残り、角度約70°、高さ200Åの段差部4を持つ基板1を高精度に得ることができる [図1 (d)]。

【0012】次に、以上のようにして得られた段差部4を有する基板1上に、RFマグネットロンスパッタ法により、YBa₂Cu₃Or [(yは超電導体に含まれる酸素量)以下、YBCOとする]の酸化物超電導薄膜5を2000Åの膜厚にスパッタする。このときのスパッタ条件は、基板温度650°C, ArとO₂の混合ガス圧0.5Pa、スパッタ時間は約20分である。また、超電導体は、上記の他に、LnBa₂Cu₃Or (LnはLa, Sm, Eu, Gd, Dy, Ho, Er, Tm, Yb, Luの少なくとも一つ、yは超電導体に含まれる酸素量)もしくは、Bi-Sr-Ca-Cu-O系(以下、BSCCOとする)の2212相または2223相の酸化物超電導薄膜を用いることができる。統いて前述のフォトレジストOPR-800を用いて、フォトリソパターニング法により、YBCO膜5をプリッジパターンに微細加工し、さらにAuの電極6を蒸着により形

成する [図1 (e)]。

【0013】以上の工程において、図1 (d) で選択エッティングにより得られる段差部4の高さは、はじめに形成したMgOのスパッタ膜2の膜厚に等しくなる。したがって、段差部4の高さはスパッタ膜2の膜厚を制御すること、例えばスパッタ時間を制御することにより、容易に所望の寸法にことができる。そして段差部4に急角度の段差を付与することができるのは、選択エッティングによる効果であり、第一に深さ方向のエッティングが抑制され、第二にフォトレジスト3とスパッタ膜2との密着性が大きいために、エッティング液の染み込みが少ないからであり、互いに異なる二つの基板材料を用いて、選択エッティングを行なうところに、本発明における段差形成方法の特徴がある。

【0014】以上のように、本発明の方法は、はじめに基板1にこれとは異なる基板材料の膜を形成することにあり、SrTiO₃ 基板 [(100) または (110)] 1上に、MgOのスパッタ膜2を成膜する例を述べたが、SrTiO₃ とMgOはいずれも基板として単独に使用可能な材料であるから、選択エッティングを行なう本発明の方法によれば、基板1とスパッタ膜2との関係を上記と逆にすることも可能である。即ち基板1をMgO [(100) または (110)] とし、その上にSrTiO₃ のスパッタ膜2を成膜し、その後は基本的に図1 (b) ~ (d) に示すのと同様の手順により、基板1上に大きな角度を持つ段差部4を形成することができる。

【0015】ただ、この場合は図1 (c) の工程における選択エッティング液が異なる。このとき用いる選択エッティング液は、前述のリン酸とは逆に、MgOを溶解することなく、SrTiO₃を溶解するものでなければならないので、選択エッティング液として20%フッ酸(HF)を使用し、エッティング液温度は室温、エッティング時間を数十秒としてエッティングを行なう。その他は図1 (a) ~ (e) に示すのと全く同様の工程を経て、例えば段差高さ2000Å、段差高さ約70°を有する段差型ジョセフソン素子を得ることができる。

【0016】図2は以上の工程により得られた段差型ジョセフソン素子の形状を表わす斜視図であり、図1 (a) ~ (e) と共通部分に同一符号を用いてある。図3は図2に示した段差型ジョセフソン素子に、12GHzのマイクロ波を印加したときの電流-電圧特性線図である。図3中の特性線(イ)はマイクロ波印加前、特性線(ロ)はマイクロ波印加後を表わしている。図3からわかるように、マイクロ波印加により階段状のステップ(シャビロステップ)が観測される。

【0017】表1にYBCO系とBSCCO系の酸化物超電導薄膜と、各種基板およびスパッタ膜との組み合わせによる段差型ジョセフソン素子について、J_c (77Kにおける臨界電流密度)とジョセフソン特性(77K

(4)

特開平6-85337

5

6

におけるシャビロステップ出力)を求めた結果を示す。 *表わす。
 表1中の◎はシャビロステップ出力大、○はシャビロス
 テップ出力中、△はシャビロステップ出力小なることを*

【表1】

基板		スパッタ膜	YBCO		BSCCO	
			J_c (A/cm ²)	Josephson特性	J_c (A/cm ²)	Josephson特性
SrTiO ₃	(100)	MgO	2×10^6	◎	2×10^6	◎
	(110)		1.5×10^6	○	1.4×10^6	○
MgO	(100)	SrTiO ₃	2×10^6	◎	1.5×10^6	○
	(110)		2×10^6	○	1.4×10^6	○

次に、本発明の方法により得られた段差型ジョセフソン素子を用いて超電導量子干渉素子 (Superconducting Quantum Interfering Device, SQUIDと略す)を作製し、その動作を調べた。図4は図2と共通部分に同一符号を用い、基板1の段差部4の高さ2000Å、段差角度約70°、酸化物超電導薄膜5の膜厚2000Å、ブリッジ幅(細くくびれた部分)5μmの段差形状を持つジョセフソン素子7を2個配置し構成したSQUIDの形状を表わす斜視図である。これに直流電流を流し、外部磁場に対するSQUIDの出力電圧特性 [(V-Φ)特性]を測定し、その結果を図5に示す。図5から、SQUIDの動作を確認するとともに、磁場感度 10^{-7} であることがわかった。

【0019】

【発明の効果】段差型ジョセフソン素子の基板に段差を形成する手段として、従来用いていたエッチング法は、段差形状が不安定であり、所望の個所に段差を形成することができなかつたが、本発明によれば、まず基板表面に、この基板とは異なるが基板としても使用することができる材料のスパッタ膜を付け、フォトレジストを用いてパターニングした後、選択エッチングによりスパッタ膜の不要部分を除去し、フォトレジストを除去することによって、スパッタ膜厚に等しい段差を持つ基板を得ることができる。即ち、互いに異なる二つの基板材料の組み合わせと選択エッチング法を利用して、基板上の任意の位置に、所望の形を持つ段差を確実に精度良く形成す

ることが、簡単かつ容易に可能である。したがって、その上に成膜する超電導薄膜を備えた段差型ジョセフソン素子の特性も安定する。

【図面の簡単な説明】

【図1】(a)は基板表面にこの基板とは異なる基板材料のスパッタ膜を形成した状態、(b)はその上にフォトレジストを塗布乾燥後パターニングした状態、(c)は選択エッチングによりスパッタ膜の不要部分を除去した状態、(d)はフォトレジストを除去した状態、(e)はその上に超電導薄膜を形成し電極を取り付けた状態を示す本発明の方法における工程図。

【図2】本発明の方法により作製した段差型ジョセフソン素子の形状を示す斜視図。

【図3】本発明の方法により作製した段差型ジョセフソン素子の電流-電圧特性線図

【図4】本発明の方法により作製した超電導量子干渉素子の形状を示す斜視図。

【図5】本発明の方法により作製した超電導量子干渉素子の出力電圧特性線図

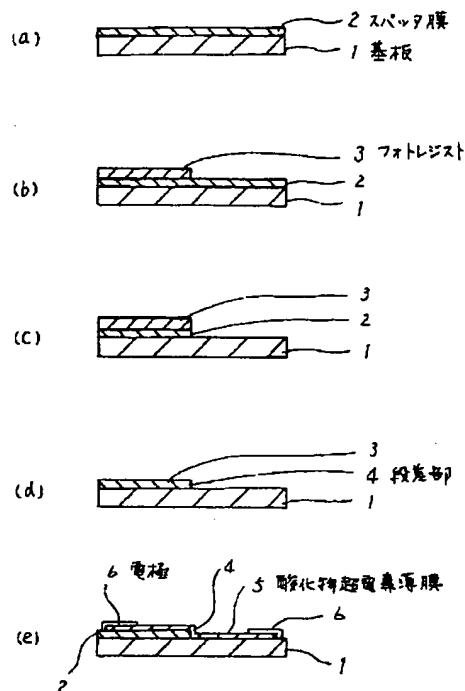
【符号の説明】

- 1 基板
- 2 スパッタ膜
- 3 フォトレジスト
- 4 段差部
- 5 酸化物超電導薄膜
- 6 電極
- 7 ジョセフソン素子

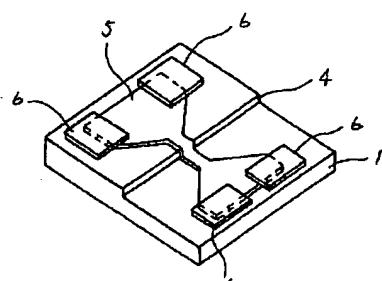
(5)

特開平6-85337

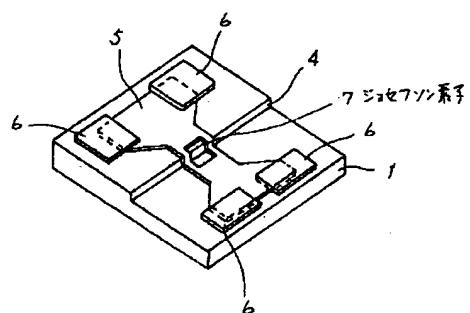
【図1】



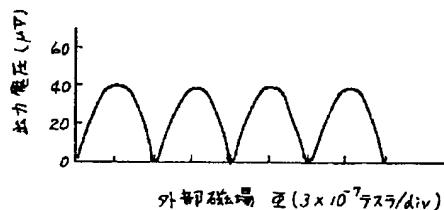
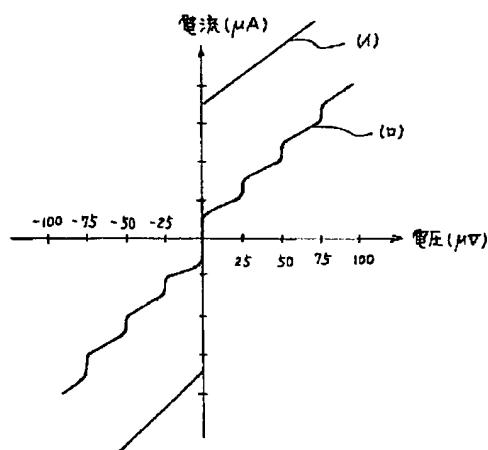
【図2】



【図4】



【図3】



フロントページの続き

(72)発明者 木村 浩

神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内

(72)発明者 津田 孝一

神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内

(6)

特開平6-85337

(72)発明者 向江 和郎
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内